

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-049864

(43)Date of publication of application : 18.02.1997

(51)Int.Cl.

G01R 31/28
G01R 31/3183
H01L 21/66

(21)Application number : 07-203334

(71)Applicant : NEC CORP

(22)Date of filing : 09.08.1995

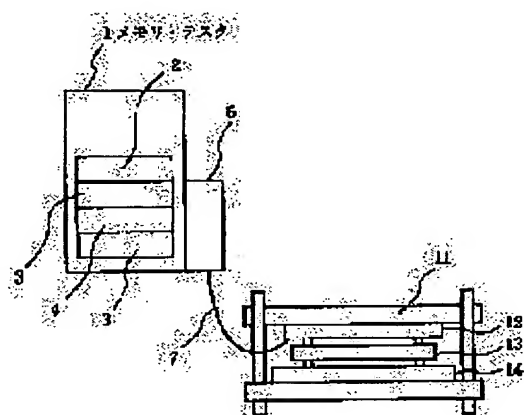
(72)Inventor : NAKAIZUMI KAZUO

(54) INTEGRATED CIRCUIT TESTER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an integrated circuit tester measuring the integrated circuit on a chip or wafer with high accuracy by reduced hardware constitution.

SOLUTION: A part or the whole of the function of an LSI tester 1 is provided on a semiconductor chip or wafer 12 and electrically brought into the contact with an integrated circuit 14 to be measured through a contact material 13. As the function of the LSI tester 1, a pattern generator 2, an input means 3 of the judge result of 16 I/O chips, a control means 4 setting or controlling an outside pattern generator other than memory tester 1 and a cooperation means operating the silicon tester wafer 12 in cooperation with the memory tester 1 are provided. By this constitution, it is unnecessary to draw out a signal necessary for a test from the LSI tester and hardware is simplified and the cost of the tester can be reduced to a large extent.



LEGAL STATUS

[Date of request for examination] 09.08.1995

[Date of sending the examiner's decision of rejection] 14.04.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 4 9 8 6 4

(43) 公開日 平成 9 年 (1997) 2 月 18 日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R	31/28		G 0 1 R	31/28 H
	31/3183		H 0 1 L	21/66 B
H 0 1 L	21/66		G 0 1 R	31/28 Q

審査請求 有 請求項の数 5

OL

(全 6 頁)

(21) 出願番号 特願平 7 - 203334

(22) 出願日 平成 7 年 (1995) 8 月 9 日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 中泉 一雄

東京都港区芝五丁目 7 番 1 号 日本電気株式
会社内

(74) 代理人 弁理士 京本 直樹 (外 2 名)

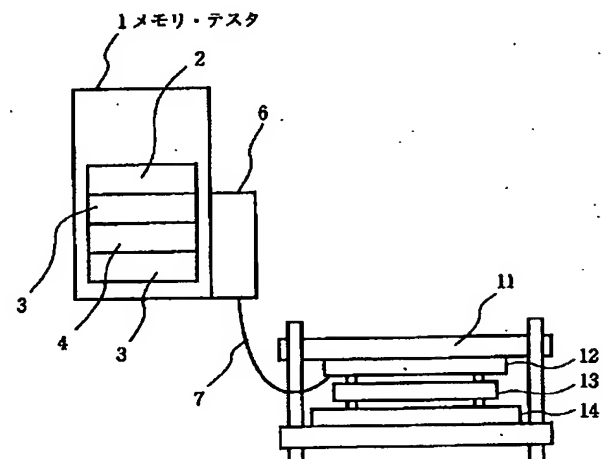
(54) 【発明の名称】 集積回路試験装置

(57) 【要約】

【目的】 チップまたはウェハ上の集積回路を少ないハードウェア構成で高精度に測定する集積回路試験装置を提供する。

【構成】 L S I テスタ (1) の機能の一部または全部を半導体チップまたはウェハ (1 2) 上に設け、これを接触材 (1 3) を介して被測定集積回路 (1 4) に電氣的に接触させる。L S I テスタ (1) の機能としては、パターン・ジェネレータ (2) と、1 6 I / O 数を有する 1 6 個のチップ分の判定結果の入力手段 (3) と、メモリ・テスト 1 以外の外付けパターン・ジェネレータをセットまたは制御する制御手段 (4) と、シリコン・テスト・ウェハ 1 2 をメモリ・テスト 1 に連動して動作させる連動手段 (5) とを備える。

【効果】 試験のために必要な信号を L S I テスタから引き出す必要がなく、ハードウェアが簡略化されて装置価格を大幅に引き下げることができる。



【特許請求の範囲】

【請求項 1】 基板上に形成された被測定集積回路にその回路が動作するために必要な電源および信号を入力してその出力を測定する試験手段を備えた集積回路装置において、

前記被測定集積回路に接触材を介して電氣的に接触可能な半導体チップまたはウェハを備え、

前記試験手段のうち前記半導体チップまたはウェハに形成された第 1 の試験手段を活性化させ動作させる第 2 の試験手段を有することを特徴とする集積回路試験装置。 10

【請求項 2】 前記第 2 の試験手段は、倍速数指定機能とパターン名指定機能とライン名指定機能とを備えるパターン・ジェネレータ、所定の I/O 数を有する複数のチップ分の判定結果の入力手段、前記パターン・ジェネレータとは異なる前記第 2 の試験手段以外の外付けパターン・ジェネレータをセットまたは制御する制御手段および前記第 2 の試験手段を前記第 1 の試験手段に連動して動作させる連動手段のそれぞれを有することを特徴とする請求項 1 記載の集積回路試験装置。

【請求項 3】 前記被測定集積回路は 1 枚のウェハに複数のチップを含み、前記半導体チップまたはウェハには、被測定集積回路の 1 個のチップに対する 1 ビット分のデータから m チップ (m は正の整数) のそれぞれに対して n ビット (n は正の整数) のデータを生成する手段が設けられた請求項 1 または 2 記載の集積回路試験装置。 20

【請求項 4】 前記半導体チップまたはウェハには、1 枚のウェハに形成された被測定集積回路を a 個のブロック (a は正の整数) に分割し、そのひとつのブロックを選択して測定する手段が設けられた請求項 1 または 2 記載の集積回路試験装置。 30

【請求項 5】 前記被測定集積回路は 1 枚のウェハに複数のチップを含み、前記半導体チップまたはウェハには、被測定集積回路のひとつのチップを選択して測定する手段が設けられた請求項 1 または 2 記載の集積回路試験装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は集積回路試験装置に関し、特に、チップまたはウェハの状態で集積回路の動作を評価するための集積回路試験装置に関する。 40

【0002】

【従来の技術】 半導体チップやウェハ上の集積回路を評価するため、従来の集積回路試験装置は、必要とされるチップ数および入出力数分の電源、クロック信号、アドレス信号および入力データを被測定チップまたはウェハに供給し、そのチップまたはウェハの出力を判定回路により判定する LSI テスタが知られている。

【0003】 この LSI テスタに関する公知技術は、例えば、特開昭 62-243335 号公報、特開平 2-5 50

6947 号公報および特開平 2-239641 号公報のそれぞれに開示されている。また、このような測定のために、被測定チップまたはウェハに試験用の回路を設けたものも公知である。

【0004】 以下に、この LSI テスタの一例として記憶素子を測定するメモリ・テストを例に説明する。

【0005】 図 5 は従来のメモリ・テストによる被測定ウェハの測定例を示す。従来のメモリ・テストは 100 MHz で動作するメモリ・テスト本体 51 とメモリ・テスト測定ステーション 52 とを備え、メモリ・テスト測定ステーション 52 にはドライバ・コンパレータ 62 と信号ケーブル 57 が設けられる。被測定ウェハ 55 はウェハプローバ 53 上の真空チャック台 56 に載せられプローブ・カード 54 を介して測定される。

【0006】 図 6 はメモリ・テストの測定系のブロック構成を示す。メモリ・テスト本体 51 は内には中央処理装置 61 を備え、メモリ・テスト測定ステーション 52 内にはドライバ・コンパレータ 62 を備える。被測定メモリ 63 は信号線 64、65 および 66 を介してドライバ・コンパレータ 62 に接続される。ドライバ・コンパレータ 62 は、反転 RAS 信号および反転 CAS 信号として高精度かつ高速のクロックを信号線 64、65 を介して被測定メモリ 63 に供給し、信号線 66 を介して試験データを供給する。ドライバ・コンパレータ 62 はまた、被測定メモリ 63 から信号線 66 に出力されたデータを高精度に判定する。

【0007】

【発明が解決しようとする課題】 しかし、従来の LSI テスタでは、被測定集積回路のチップ数および入出力数に応じてクロック信号、アドレス信号、データその他を高精度かつ高速に供給および測定する必要があるため、装置が複雑になり、その制御が困難になるという課題があった。例えば、入出力が 8 ビットの 16 M-DRAM を 100 MHz で 16 個並列測定することのできるメモリ・テストの制御は技術的に高度になり、高精度の部品を使用しなければならず、その価格は非常に高額になってしまう問題もあった。

【0008】 本発明は、このような課題を解決し、チップまたはウェハ上の集積回路を少ないハードウェア構成で高精度に測定することのできる集積回路試験装置を提供することを目的とする。

【0009】

【課題を解決するための手段】 本発明の集積回路試験装置は、基板 (チップまたはウェハ) 上に形成された被測定集積回路にその回路が動作するために必要な電源および信号を入力してその出力を測定する試験手段を備えた集積回路試験装置において、被測定集積回路に接触材を介して電氣的に接触可能な半導体チップまたはウェハを備え、前記試験手段のうち前記半導体チップまたはウェハに形成された第 1 の試験手段を活性化させ動作させる

第 2 の試験手段を有する構成である。

【0010】また、本発明の集積回路試験装置の前記第 2 の試験手段は、倍速数指定機能とパターン名指定機能とライン名指定機能とを備えるパターン・ジェネレータ、所定の I/O 数を有する複数のチップ分の判定結果の入力手段、前記パターン・ジェネレータとは異なる前記第 2 の試験手段以外の外付けパターン・ジェネレータをセットまたは制御する制御手段および前記第 2 の試験手段を前記第 1 の試験手段に連動して動作させる連動手段のそれぞれを有する構成とすることもできる。以下

の説明では、半導体としてシリコンを用いた技術を想定し、試験手段の少なくとも一部が形成された半導体チップまたはウェハを「シリコン・テスト」という。

【0011】このシリコン・テストには、被測定集積回路の 1 個のチップに対する 1 ビット分のデータから m チップ (m は正の整数) のそれぞれに対して n ビット (n は正の整数) のデータを生成する手段、1 枚のウェハに形成された被測定集積回路を a 個のブロック (a は正の整数) に分割し、そのひとつのブロックを選択して測定する手段、被測定集積回路のひとつのチップを選択して測定する手段などを設けることができる。

【0012】

【作用】LSI テスタの機能の一部または全部を半導体チップまたはウェハ上に設けてシリコン・テストとし、これを接触材を介して被測定集積回路に電氣的に接触させる。これにより、試験のために必要な信号をすべて LSI テスタから信号線を介して引き出す必要がなくなる。特に、多チップ並列で多入出力用の高精度かつ高速のドライバとコンパレータの機能をシリコン・テストに内蔵することで、LSI テスタのハードウェアを簡略化

【0013】

【実施例】図 1 は本発明の第一の実施例の集積回路試験装置を示す図であり、ウェハ・レベルでの実施例を示す。この場合には、被測定ウェハ 14 にその回路が動作するために必要な電源および信号を入力してその出力を測定するため、25 MHz で動作するメモリ・テスト 1 と、1 I/O のみのドライバー 6 と、信号線ケーブル 7 と、シリコン・テスト・ウェハ 12 とを備える。

【0014】さらに、メモリ・テスト 1 は、パターン・ジェネレータ 2 と、16 I/O 数を有する 16 個のチップ分の判定結果の入力手段 3 と、パターン・ジェネレータ 2 とは異なるメモリ・テスト 1 以外の外付けパターン・ジェネレータ (図示してない) をセットまたは制御する制御手段 4 と、シリコン・テスト・ウェハ 12 をメモリ・テスト 1 に連動して動作させる連動手段 5 とを備える。

【0015】シリコン・テスト・ウェハ 12 および被測

定ウェハ 14 はそれぞれ別々の測定治具 11 に取り付けられ、接触材としての圧電性導電ゴム 13 を介して互いに電氣的に接続される。シリコン・テスト・ウェハ 24 には試験のための一部または全部の機能が設けられる。

【0016】図 2 は本発明の第二の実施例の集積回路試験装置を示す図である。

【0017】この実施例の集積回路試験装置は、パターン・ジェネレータ 2 が、倍速数指定機能 15 と、パターン名指定機能 16 と、ライン名指定機能 17 とを有する構成以外は第一の実施例と同一の構成である。

【0018】すなわち、この実施例の集積回路試験装置は、被測定ウェハ 14 にその回路が動作するために必要な電源および信号を入力してその出力を測定するため、25 MHz で動作するメモリ・テスト 1 と、1 I/O のみのドライバー 6 と、信号線ケーブル 7 と、シリコン・テスト・ウェハ 12 とを備える。

【0019】さらに、メモリ・テスト 1 は、16 I/O 数を有する 16 個のチップ分の判定結果の入力手段 3 と、パターン・ジェネレータ 2 とは異なるメモリ・テスト 1 以外の外付けパターン・ジェネレータ (図示してない) をセットまたは制御する制御手段 4 と、シリコン・テスト・ウェハ 12 をメモリ・テスト 1 に連動して動作させる連動手段 5 とを備える。

【0020】図 3 はシリコン・テストの構成例を示す。ここでは、1 入力のみデータが供給され、被測定メモリの個数分の判定結果を出力する例を示す。このシリコン・テストには、多チップ/ビット化制御回路 31、ブロック選択デコーダ 32、チップ選択デコーダ 33、p 倍速制御回路 34、P 倍速アルゴリズム回路 35、自己過電流保護回路 36、位置合わせ用回路 37、チップ内テスト回路 38、フェイルメモリ回路 39、電流制御回路 40、コンパレータ回路 41、オンチップコンデンサ 42 およびパッド 43 を備える。

【0021】多チップ/ビット化制御回路 31 は、メモリ・テストから供給される 1 チップの 1 ビット (または 1 入出力) 分のデータから、デコーダ回路および入出力とアドレス用の排他的論理和回路を用いて、m チップ (m は正の整数)、n ビット (n は正の整数) のデータを生成する。ブロック選択デコーダ 32 は、そのシリコン・テストがウェハ・レベルで測定するとき、その被測定ウェハを a 個のブロック (a は正の整数) に分割し、測定対象としてそのひとつのブロックを選択する。チップ選択デコーダ 33 は、ウェハ・レベルで測定するとき、被測定ウェハの任意のチップを選択する。p 倍速制御回路 34 は、メモリ・テストから供給されるクロック周波数を位相同期ループを用いて p 倍 (p は 2 以上の整数) にする。p 倍速アルゴリズム回路 35 は、p 倍速制御回路 34 が動作するとき、アップ/ダウン・カウンタとラッチ回路とにより、メモリ・テストからは供給されない p 倍速動作の第 2 サイクル以降のテスト・パターン

を発生する。自己過電流保護回路 36 は、定格を超える過電流が流れるチップに対し、リセット機能を有するフリップフロップを用いて、電流供給を停止する。位置合わせ用回路 37 は、シリコン・テストのパッドと被測定チップのパッドとの位置合わせを行うことができるように、被測定チップの任意のパッドに対して配置された b 個 (b は正の整数) パッドに、信号切替回路を介してメモリ・テストからの直流信号を供給する。チップ内テスト回路 38 は、被測定チップの一部の機能に相当するダミー・チップ回路を内蔵し、そのダミー・チップ回路を測定することで、そのメモリ・テストの動作を自己診断する。フェイルメモリ回路 39 は、被測定チップの測定結果が不良の場合に、その不良内容をフリップ・フロップ回路により保持する。電流制御回路 40 は、ウェハ・レベルで被測定ウェハを多チップ並列測定する場合に、メモリ・テストからのクロック周波数を分周回路により $1/c$ (c は 2 以上の整数) に分周して低速化するか、またはその被測定ウェハを任意のブロックに分割して順次そのブロックを選択することにより、電流を制御する。コンパレータ回路 41 は、被測定チップの測定結果を判定する。オンチップコンデンサ 42 は被測定チップとの間のバイパスコンデンサとして動作する。

【0022】以上の各回路はすべてシリコン・テスト上に備えられる必要はなく、例えばチップ単位で測定する場合にはそのいくつかの回路は省略可能である。

【0023】図 4 は図 3 に示したシリコン・テストの動作を説明するタイミング図である。メモリ・テストからの 40 ns (時刻 $t_1 \sim t_5$) の測定周期のうち時刻 $t_1 \sim t_2$ の 10 ns の間に各信号がセットされると、 p 倍速制御回路 34 および p 倍速アルゴリズム回路 35 は、位相同期ループ、アップ/ダウン・カウンタおよびラッチ回路により、時刻 $t_1 \sim t_2$ の各波形をコピーし、時刻 $t_2 \sim t_3$ 、時刻 $t_3 \sim t_4$ 、時刻 $t_4 \sim t_5$ でコピー波形を生成して出力する。時刻 $t_1 \sim t_2$ はマーキングのインクリメントのリード「H」の部分であり、時刻 $t_2 \sim t_3$ のライト「L」、時刻 $t_3 \sim t_4$ のアドレス $[A+1]$ 番地のリード「H」、および時刻 $t_4 \sim t_5$ のライト「L」の各信号の「L」レベルと「H」レベルとの間の変更およびアドレスの変更は p 倍速アルゴリズム回路 35 により行われ、各信号の「H」レベルから「L」レベルまたは「L」レベルから「H」レベルへの遷移点の時刻の設定は p 倍速制御回路 34 により行われる。

【0024】次に、第一の実施例の動作について説明する。この場合には、測定するチップ数が 1 個ではなく、被測定ウェハ 14 の全チップのうちの一部、例えば 96 チップ中の 16 チップとなる。

【0025】この場合、メモリ・テスト 1 からシリコン・テスト・ウェハ 14 には、1 チップの 1 入力分の信号が供給される。シリコン・テスト・ウェハ 14 では、多

チップ/ビット化制御回路のラッチ回路の排他的論理和回路とにより 16 チップ分の 8 入力データを生成し、ブロック選択デコーダにより 96 チップを 6 ブロックに分割してその 1 ブロックの 16 チップを選択して各信号を供給する。

【0026】まず被測定ウェハ 14 が良品の 16 M-D RAM チップの場合を例に説明する。この場合、シリコン・テスト・チップ 12 から試験のための信号が圧電性導電ゴム 13 を介して被測定ウェハ 14 に供給される。被測定チップの出力は圧電性導電ゴム 13 を介してシリコン・テスト・チップ 12 に伝達され、コンパレータ回路により良品判定され、信号線ケーブル 7 を介してメモリ・テスト 1 に伝達される。

【0027】被測定ウェハ 14 がマーキング不良の 16 M-D RAM チップである場合にも同様に、シリコン・テスト・チップ 12 から試験のための信号が圧電性導電ゴム 13 を介して被測定ウェハ 14 に供給され、被測定チップの出力が圧電性導電ゴム 13 を介してシリコン・テスト・チップ 12 に伝達される。このとき、シリコン・テスト・チップ 12 内のコンパレータ回路では、例えば期待値が「H」レベルであるところに「L」レベルの出力が到来するので、その被測定チップが不良品であると判定し、不良信号が信号線 7 を介してメモリ・テスト 1 に伝達される。また、その不良結果がフェイル・メモリ回路にも保持される。

【0028】被測定ウェハ 14 にスタンバイ時に過電流が流れる不良がある場合には、そのチップをセットして電源を印加した時点で、自己過電流保護回路が動作する。これにより被測定チップへの電流供給が停止し、スタンバイ電流不良品であることがメモリ・テストに伝達される。

【0029】図 3 および図 4 に示したシリコン・テストはウェハ・レベルでの測定を目的としたものであるが、チップ単位の測定用に修正することも可能である。

【0030】以上の説明では被測定集積回路が DRAM チップまたは DRAM チップが形成されたウェハの場合について説明したが、それ以外の集積回路の測定にも本発明を同様に実施できる。

【0031】

【発明の効果】以上説明したように、本発明の集積回路試験装置は、LSI テスタの機能の少なくとも一部を、被測定集積回路に接触材を介して電気的に接触可能な半導体チップまたはウェハからなるシリコン・テストに設ける。特に、LSI テスタの多チップ並列かつ多入出力用の高精度かつ高速のドライバおよびコンパレータの機能をシリコン・テストに設けることで、その構成を大幅に簡略化できる。

【0032】例えば、8 入出力の 16 M-D RAM を 100 MHz で 16 個並列測定が可能な従来のメモリ・テストは、ドライバ・ボードのみで 138 枚を必要とす

る。これに対して本発明では、ドライバおよびコンパレータの機能をシリコン・テストで行うことで、LSIテスト本体には1個の1入出力ハードウェアを備えればよく、しかも25MHz動作で十分である。この場合、必要のドライバ・ボードは22枚と従来の1/6以下となり、基本クロックも低速となることから、機能を簡略化したメモリ・テストを用いて従来と同等の測定が可能となる。一方、シリコン・テストについては、16M-D-RAMなみのプロセスで製造可能であり、8入出力の16M-D-RAMを100MHzで16個並列測定するように製造する場合でも、その価格は1セット当たり1500万円以下になる。したがって、装置全体の価格はメモリ・テストとシリコン・テストとで6500万円となり、従来の1/3以下と大幅に価格を引き下げることができる。

【図面の簡単な説明】

【図1】本発明の第一の実施例の集積回路試験装置の構成を示す図。

【図2】本発明の第二の実施例の集積回路試験装置の構成を示す図。

【図3】シリコン・テストの構成例を示す図。

【図4】シリコン・テストの動作を説明するタイミング図。

【図5】従来のメモリ・テストによる測定例を示す図。

【図6】メモリ・テストの測定系のブロック構成を示す図。

【符号の説明】

- 1, 51 メモリ・テスト
- 2 パターン・ジェネレータ
- 3 判定結果の入力手段
- 4 セットまたは制御する制御手段
- 5 シリコン・テスト・ウェハ12をメモリ・テスト

1に連動して動作させる連動手段

6, 62 ドライバ・コンパレータ

7, 57 信号線ケーブル

11 固定治具

12 シリコン・テスト・ウェハ

13 圧電性導電ゴム

14 被測定ウェハ

15 倍速数指定機能

16 パターン名指定機能

10 17 ライン名指定機能

31 多チップ/ビット化制御回路

32 ブロック選択デコーダ

33 チップ選択デコーダ

34 p倍速制御回路

35 p倍速アルゴリズム回路

36 自己過電流保護回路

37 位置合わせ用回路

38 チップ内テスト回路

39 フェイルメモリ回路

20 40 電流制御回路

41 コンパレータ回路

42 オンチップコンデンサ

43 パッド

52 メモリ・テスト測定ステーション

53 ウェハプローバ

54 プローブ・カード

55 被測定ウェハ

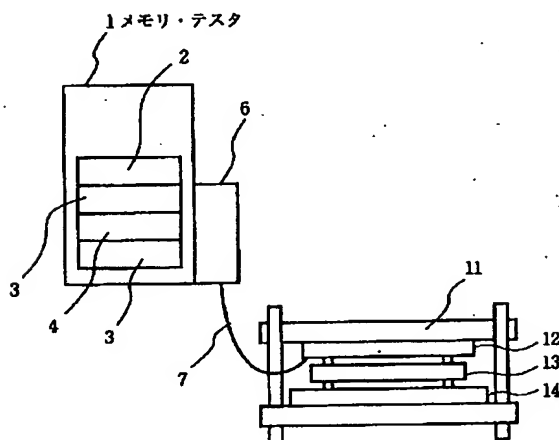
56 真空チャック台

61 中央処理装置

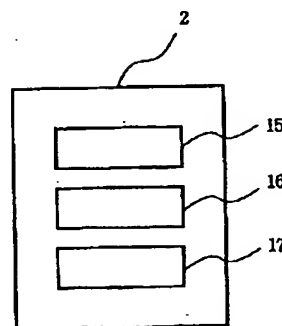
30 63 被測定メモリ

64, 65, 66 信号線

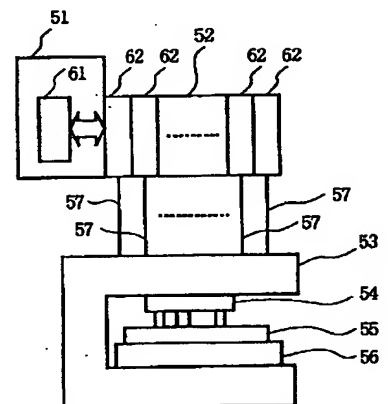
【図1】



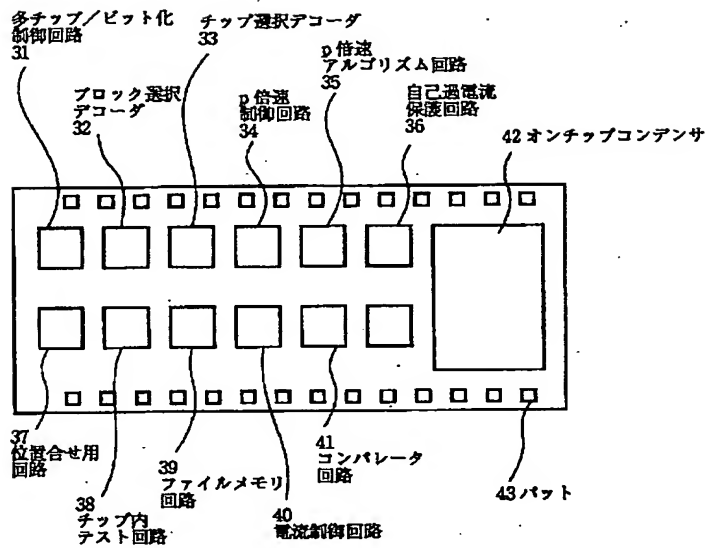
【図2】



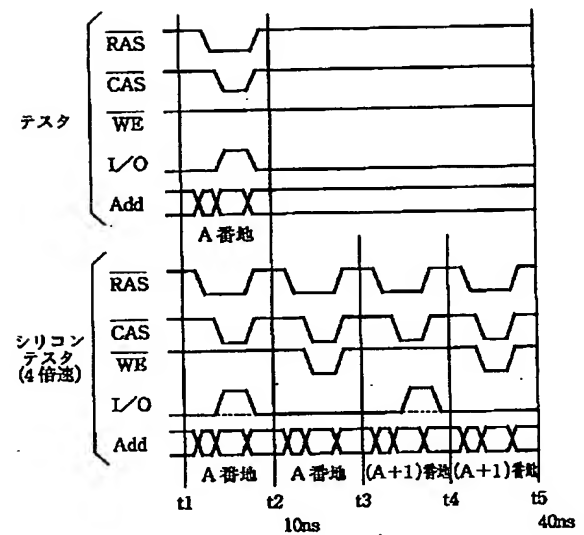
【図5】



【図 3】



【図 4】



【図 6】

